デバイスの記事

ミックスト・シグナルLSIテスタ技術の基礎（後編）

MEMS技術がLSIテストの課題を解決

小室貴紀，小林春夫，酒寄寛，光野正志

前半ではテスト容易化設計技術について解説する．ディジタルLSIの分野ではテスト回路の挿入やテスト・パターン生成について自動化が進んでいる．一方，アナログ部のテストについては課題が多い．例えばLSIテスタとBIST（built-in self-test）回路を併用してテストを行うなどの手法が必要になる．後半では，MEMS技術を使った熱膨張スイッチや可変インダクタの技術を紹介する．（編集部）

本稿ではミックスト・シグナルLSIテスタについて，アナログ関係のハードウェア技術を中心に解説しています．前回（本誌2005年6月号，pp.108-117）の前編では，LSIテスタを構成する要素技術や実際のLSIテストの例について説明しました．今回は，テスト容易化設計，およびLSIテストのためのMEMS技術開発，通信用A-D変換器評価アルゴリズム開発などの産学協同研究事例を紹介します．

1 テスト容易化設計技術

LSI内部の回路について，テストしやすいかどうか（testability；テスト容易性）を示す尺度として，以下のものがあります．

- **可制御性（controllability）**――回路内部の状態を入力端子から制御しやすいかどうか
- **可観測性（observability）**――回路内部の状態を出力端子から観測しやすいかどうか

これらはもともと現代制御理論の分野から借りてきたことばです．DUT（device under test；測定対象となるデバイス）の内外にテスト回路を付加して可制御性や可観測性を向上させることがテスト容易化技術の目的です．また，テスト容易性に配慮した設計のことを，よくDFT（design for testability）と呼びます．

● ディジタルではテスト回路生成の自動化を追求

ディジタルLSIのテストでは，DUTの回路規模が大きいことが最大の問題となっています．すべての入力の組み合わせをテストすることは，事実上不可能です．

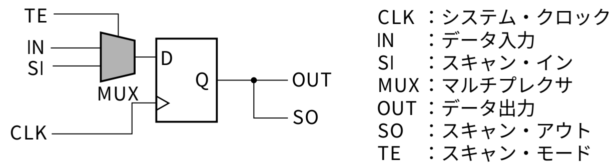
ディジタルLSIの回路設計手法は自動化（自動配置配線や論理合成など）を追求して発展してきました．そのため，テスト回路についても自動的に生成する手法が古くから検討されてきました．現在では，次に説明するスキャン・パス・テストやBISTなどの手法が実用化されています．

1）スキャン・パス・テスト

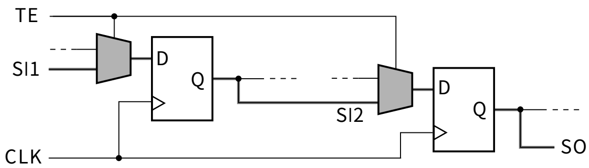
現在のディジタルLSIは，同期回路方式を前提に設計されています．すなわち，クロック信号を共有したDフリップフロップ（FF）の間に組み合わせ回路が挿入され，これらがクロック信号に同期して動作しています．

スキャン・パス・テストでは，各DFFの入力にセレクタ（マルチプレクサ）を付加し，DFFどうしを直列につないで一種のシフト・レジスタを構成します（**図1**）．専用ピンからそのシフト・レジスタにシリアル・データ（テスト・データ）を流し込むことによって，回路中の任意のDFFの入力値を設定できるようになります．入力値を設定した後，DFFの接続を元に戻して動作させれば，チップ内の任意の状態を再現することができます．また，動作後にもう一度シフト・レジスタを構成し，各DFFの出力値を外部に取り出すこともできます．

この方式が有効なのは，テスト用回路（シフト・レジスタを構成する部分）や，流し込むシリアル・データを比較的容易に自動生成できるからです．現在では，論理合成の際に，テスト回路を生成するオプションを選択するだけで，



（**a**）MUXスキャン方式で用いるフリップフロップの構成



（**b**）スキャン・チェーン

図1　スキャン・パス・テスト
スキャン・パス・テストでは，(a)のようにセレクタ(マルチプレクサ；MUX)によってテスト・モードを切り替える．フリップフロップ(FF)のデータ入力ピンへの入力信号を，通常のデータ入力とスキャン・インに切り替えて用いる．また，スキャン・アウトは通常のデータ出力をファンアウトさせて用いる．(b)のようにセレクタ付きのDFF(スキャンFF)を数珠つなぎにして，スキャン・チェーンと呼ぶシフト・レジスタを構成する．

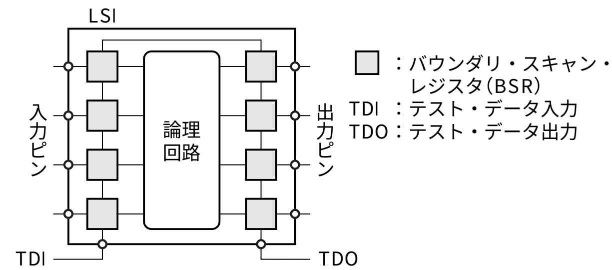


図2　バウンダリ・スキャン・テスト
バウンダリ・スキャン方式では，LSIのピンと内部回路の間(境界部分)にバウンダリ・スキャン・レジスタを設ける．これらを数珠つなぎにしてシフト・レジスタを構成する．

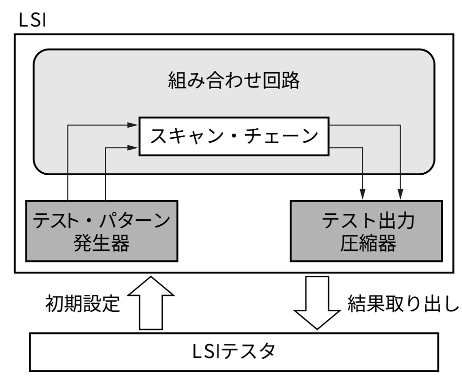


図3　ロジックBIST
テスト・パターン発生器で生成されるテスト・パターン(疑似ランダム・パターンなど)をスキャン・チェーンを介して各フリップフロップに与える．各フリップフロップの状態はスキャン・チェーンを介してテスト出力圧縮器に送られ，順次圧縮される．最終的に圧縮された結果が外部に取り出される．

テスト回路やテスト・データが手に入ります．ここで得られたシリアル・データは，そのままLSIテスタに与えることができます．テスト用回路やテスト手法の詳細について，回路設計者が意識する必要はほとんどありません．

最近ではテスト対象となるデバイスの回路規模が増大しているので，スキャン・パス・テストを行う際に数百Mビット相当のシリアル・データを取り扱うことが珍しくありません．LSIテスタには，このような大容量のデータを処理する能力が求められています．

スキャン・パス・テストとは異なりますが，シフト・レジスタを使って値を設定したり，読み出したりするテスト技術として，「バウンダリ・スキャン」があります(**図2**)．これは，LSI間の接続テスト(ボード上の配線パターンやLSIの入出力バッファのテスト)やLSIの内部回路のテストなどに使われる手法で，IEEE 1149.1として標準化されています．バウンダリ・スキャンでは，LSIの入出力バッファと内部回路の間にDFFを挿入し，これらのDFFを数珠つなぎにしてシフト・レジスタを構成します．あとは，スキャン・パス・テストの場合と同じように専用ピンからテスト用のシリアル・データを流し込みます．

2）ロジックBIST(シグネチャ解析法)

テスト回路をチップに埋め込み，テストしやすくする手法をBISTと呼びます．ディジタルLSIの論理回路部分を対象としたBISTが「ロジックBIST」です(**図3**)．ロジックBISTでは，シグネチャ解析法がよく利用されています．この手法では，テスト・パターン発生器としてLFSR(linear feedback shift register；M系列発生回路)と呼ばれる回路が，テスト出力圧縮器としてMISR(multiple input signature register)がよく利用されます．いわば，LSIテスタが持つ，テスト・パターンをDUTに与える機能をチップ上に組み込んだ手法とも言えます．

3）メモリBIST(RAM BIST)

システムLSI内部のRAMブロックのテストを容易化するため，メモリBIST(RAM BIST)が利用されます．これは，チップ内にパターン発生器とアドレス発生器，結果比較器を埋め込む手法です(**図4**)．テスト・パターンの生成では，マーチングやチェッカ・ボードと呼ばれるアルゴリズムがよく用いられます．メモリBISTではRAMブロックに書き込んだデータを読み出すことが基本です．論理回路部分をテストする場合と異なり，期待値の生成や保持は不要となり，比較的簡単な回路でBIST機能を実現できます．

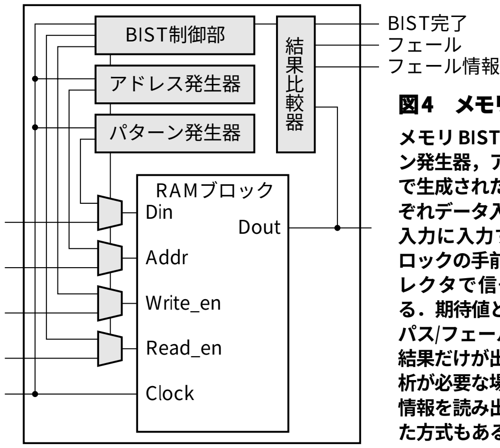


図4　メモリBIST

メモリBISTでは，パターン発生器，アドレス発生器で生成されたデータをそれぞれデータ入力，アドレス入力に入力する．RAMブロックの手前に置かれたセレクタで信号が選択される．期待値と比較した後のパス/フェール（良/不良）の結果だけが出力される．解析が必要な場合にフェール情報を読み出せるようにした方式もある．

● DUTの回路性能がLSIテスタの回路性能を上回る

アナログ回路のテストの原理は単純です．例えば，DUT内のA-Dコンバータ（ADC）を評価する場合，LSIテスタ側にD-A変換回路（DAC），アナログ・フィルタ，出力アンプからなる任意波形発生器（AWG：arbitrary waveform generator）を用意し，これによってDUTの評価に必要な波形を発生させ，DUT内部のA-Dコンバータの出力が期待どおりかどうかをチェックします．実際，周波数特性や直線性のテストはこの方法で行われています．

DUT内部のD-Aコンバータを評価する場合は，この逆の処理となります．すなわち，LSIテスタ側にA-D変換回路とディジタイザを用意します．また，アナログ・フィルタなど，入出力ともにアナログ信号となる回路を評価する場合は，LSIテスタ側の任意波形発生器で生成した信号をDUTに与え，その出力をLSI側のディジタイザで評価します．

ここで問題となるのが，LSIテスタに組み込まれているA-D/D-A変換回路の性能です．一般に，測定装置には測定対象回路よりも高い性能（速度や分解能など）が要求されます．かつては民生用などのCMOS A-D/D-Aコンバータと比べて，産業用などのバイポーラA-D/D-Aコンバータの性能が勝っていました．そのため，バイポーラA-D/D-AコンバータをLSIテスタに組み込むことで，CMOS回路の測定に必要な性能を確保していました．ところが近年ではCMOS回路の性能が向上し，さらに新規の技術開発がCMOS回路向けに集中していることもあって，DUT側のA-D/D-Aコンバータの性能がLSIテスタ側のA-D/D-Aコンバータを上回るケースが増えてきました．DUTに内蔵されるA-D/D-Aコンバータはその時点における最新のものなのに，LSIテスタに組み込まれるA-D/D-Aコンバータは1世代以上前の回路ということも珍しくありません．

● アナログBISTが内包する本質的な矛盾

この問題に対処する方法の一つがアナログBISTです．DUTにテスト回路を埋め込むBIST手法であれば，DUTそのものが備える性能をLSIテストに生かすことができます．

ところが，単純に思えるこのアイデアを実現することは，実は容易ではありません．そもそもDUTの良否がわからないからテストで確認するのですが，DUTに内蔵されたBIST回路そのものが十分な性能を持つ良品であることを仮定しないとテストすることができないのです．これは，アナログBISTの本質的な矛盾と言えるかもしれません．

また，LSIそのものが良品であっても付加したBIST回路部分に不良があると，このLSIは不良品と判定されます．すなわち，BIST回路を付加したことにより，全体の不良率が上がることも十分にありえます．この場合，BIST手法を採用することにメリットはありません．

アナログBISTの採用を検討する場合，以下の要素を考慮する必要があります．

- **BISTとして付加される回路がシンプルで，故障率（不良率）が十分に低いこと**
- **半導体プロセスのパラメータが大きくバラついても，安定したアナログ性能が得られること**

現時点では，BIST手法だけですべてのアナログ・テストを行うのではなく，LSIテスタとBIST回路を併用して効率良くテストを行うほうが現実的と言えそうです．

● クロックド・コンパレータを組み込んで安価にテスト

さてここで，**図5**のような単純なトラック・ホールド回路をBISTとしてDUTに内蔵した例を考えてみます．DUT内部の高速信号波形（例えば数GHz）がトラック・ホールド回路によってアンダサンプリング（undersampling）され，低い周波数の信号（例えば1kHz）に変換されてDUTから出てきます．周波数の低い信号を精度良く測定する装置は必要ですが，GHzの信号を扱うような高価な装置は必要なくなります．

図6は，上記の例をもとに改良したアナログBIST手法です(14),(15)．DUTの内部には，BIST回路としてクロックド・コンパレータが内蔵されているだけです．この部分の故障率は，チップ全体の規模から考えるとほぼ無視できます．このクロックド・コンパレータは，DUT内部の被測

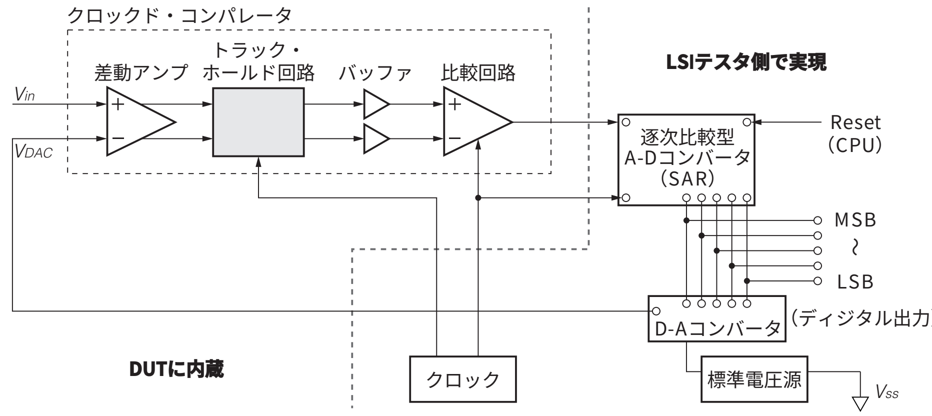


図6
改良したアナログBIST回路のブロック図
被測定内部回路からの被測定信号 V_{in}（繰り返し信号）とLSIテスタ側のD-Aコンバータ（DAC）出力（V_{DAC}）の間の差をDUT内のサンプラ回路でサンプリングし，正負符号を比較回路（Cmp）で比較する．LSIテスタ側の逐次比較型A-Dコンバータ（SAR）は，その値に応じてDACに入力信号を与える．

定電圧とLSIテスタから供給される高精度のDC（直流）電圧を比較しているだけで，測定精度を決めているのはLSIテスタ側のD-Aコンバータです．LSIテスタによって十分な精度のDC電圧を発生させることは，安価なコストで行えます．したがって，この構成であれば，高精度を維持したままDUT内部の高速信号を比較的容易に測定できます．

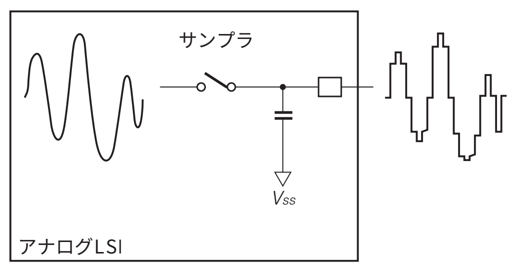


図5　アナログBISTの例
チップ内にサンプラ回路を設けると高周波対応の測定器が不要となる．ただし，広帯域・高精度・低電圧のCMOSサンプラ回路を実現することは難しい．

● ロード・ボード上にテスト回路を配置する手法も

アナログ回路をテストするため，DUTの内部ではなく，DUTの外部（例えばロード・ボード上）にテスト回路を設ける手法もあります．これはBOST（built-out self-test）と呼ばれています．アナログ・テストにおいてBIST技術はそれほど普及しておらず，BOSTの考えかたが採用される場合もあります．

2 LSIテストのためのMEMS技術開発

電子計測器メーカは，今日のLSIを用いてあすの（より性能の高い）LSIを計測・評価するシステムを開発しています．性能の低いLSIで性能の高いLSIを測定するシステムを実現するためには，何らかのくふうが必要です．また，アナログLSIのテスト評価技術には未開拓の部分があります．例えば，ディジタルLSIのテスト容易化設計ではスキャン・パス・テストなどのようにすでに確立した手法がありますが，アナログLSIのテスト容易化設計はまだ研究段階のものが少なくありません．

このような背景から，筆者ら（群馬大学とアジレント・テクノロジー）は5年前から電子計測分野の共同研究を行っています．ここでは，この共同研究の一つであるLSIテスタのためのMEMS（micro electro mechanical systems）技術開発の事例を紹介しながら，最近のアナログLSIテストの課題について説明していきます注1．

● 市場拡大が期待されているMEMS技術

従来，MEMS技術の開発はデバイス技術，プロセス技術，もしくはセンサ・デバイス技術の分野であると思われていました．しかし近年では，アナログ回路技術の分野でも注目を集めています．筆者らは，2003年ごろからMEMS技術の調査・研究に取り組んでいます．

MEMSはおもに米国で使われてきた呼称で，欧州ではMST（micro system technology），日本では「マイクロマシン」と呼ばれていました．MEMS技術の研究は1970年ごろ，米国Stanford Universityで始まったとされています．当時はシリコン・ウェハ上に圧力センサやガス・クロマトグラフ（ガスの成分を分析する機能）が作製され，研究結果が発表されました．

注1：筆者らは，ここで紹介する事例のほか，アナログ回路用BIST，D-Aコンバータにおけるサンプリング・クロック・ジッタの影響[18]，A-Dコンバータのディジタル補正アルゴリズム[10]，任意波形発生器における I，Q 経路ミス・マッチの影響低減手法[11]，高調波ひずみ測定システム[16]などについて，共同研究成果の学会・論文発表を行っている．

そして1980年ごろになると，米国University of California, Berkeleyや米国Bell Laboratoriesなどが半導体の微細加工技術を応用して「微小な可動部を含むシステム」を開発するようになりました．このころからマイクロマシンやマイクロエレクトロニクス・センサなどを組み合わせて新しいコンセプトのデバイスを生み出す研究が盛んになり，これら全般がMEMS技術と呼ばれるようになりました．

日本では，1985年ごろからマイクロマシン技術（例えば，半導体加工技術を用いた超小型モータなど）が注目を集めました．そして，産業科学技術研究開発制度の下，旧通商産業省 工業技術院が1991年度から10年計画の大型プロジェクトをスタートさせました．このプロジェクトの成果として，管内自走環境認識用試作システム，細管群外部検査用試作システム，機器内部作業用試作システム，マイクロファクトリ試作システムなどが開発されました．

MEMS技術はセンサ・デバイスを中心に徐々に普及してきました．センサ・デバイスは幅広いアプリケーションで使われています．今後，高い成長が期待されているのがバイオMEMS，光MEMS，RF MEMS，ディスプレイ用MEMS，エネルギーMEMSです．現在はまだ研究開発段階のものが多く，センサ・デバイスと比べると市場規模は小さいのですが，今後10年間のうちに実用化されて市場が広がると考えられています．

筆者らは，アナログ回路設計研究の観点からMEMS技術を用いてLSIテスタの性能を改善する手法を模索しています．現在は，MEMS技術を用いたLSIテスタ用スイッチ，およびMEMS技術を用いた可変インダクタの開発に取り組んでいます[(7),(8)]．

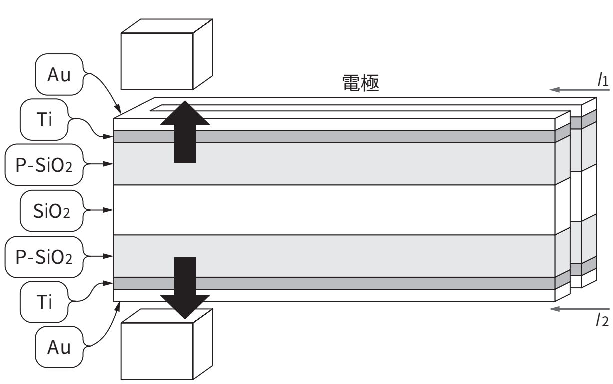


図7　MEMS技術を用いたスイッチのモデル
電流I_1を流すと全体が下へ曲がり，電流I_2を流すと全体が上へ曲がる．

● MEMS熱膨張スイッチで信頼性やコストの問題を解決

LSIテスタには多くのスイッチが使用されています[(1)]．このスイッチには，ON時には低い接触抵抗が，OFF時には高い絶縁性が要求されます．実際にはリレーやMOSスイッチ（半導体リレー）が使用されていますが，それぞれ信頼性やコストの問題を抱えています．そこで，筆者らは，MEMS技術を用いてスイッチを設計することを提案しています．

筆者らが提案しているのは，金属に熱を与えると膨張するという性質を利用した熱膨張スイッチです[(7)]．これはバイメタル構造（膨張率が異なる薄い金属板どうしを貼り合わせた構造）を対称に構築し，スイッチに応用したものです．

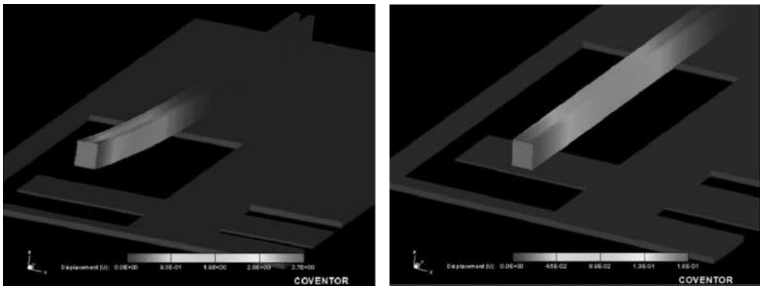
構造としては4種類の金属，すなわちAu，Ti，SiO_2，P-SiO_2を上下対称（または左右対称）に積層した形になります（**図7**）．電流や熱が加わったとき，これらは金属自身の熱膨張係数によって機械的に曲がります．これがスイッチのアクチュエータとして働きます．いちばん外側の金属に電流を流すことによって金属の熱膨張を促し，全体がそれとは反対の方向に曲がります．この熱膨張スイッチは機械的にスイッチング動作するため，高い絶縁性を持ちます．

筆者らは，このスイッチをモデル化し，シミュレーションによってその動作を確認しました．シミュレータには米国Coventor社のMEMS設計システム「CoventorWare」を使用しました[注2]．下側の金属に熱を加えて膨張させると，電極は全体的に上に曲がり，**図8(a)**のようにスイッチがOFFになります．一方，上側の金属に熱を加えて膨張させると，電極全体が下に曲がり，**図8(b)**のようにスイッチがONになります．金属と下の電極の間の距離によって動作消費電力量が決まってしまうため，この点が製造時の検討課題となっています．

● MEMS技術で可変インダクタを構成

電気回路では，R（抵抗），C（キャパシタ），L（インダクタ）が基本となる受動素子です．抵抗とキャパシタは（最近ではインダクタも）シリコン・チップ上に形成できます．また，ゲート電圧制御によるMOSFETを利用することで可

注2：CoventorWareは，MEMSデバイスの生成ツール（Architect），モデリング・ツール（Designer），解析ツール（Analyzer），統合ツール（Integrator）の四つから構成されている．開発元であるCoventor社は1995年に設立された．同社は米国Massachusetts Institute of Technologyと共同でマイクロマシン向けのシミュレーション技術を開発し，この技術を使ったツールを製品化した．CoventorWareは150社以上の企業・研究機関で利用されているという．



（**a**）OFF 動作　　（**b**）ON 動作

図8　シミュレーション結果

スイッチのOFF動作では，下の金属に電流を流し，熱を加える．(a)のように電極は全体的に上へ上がり，下と接触していないことが確認できた．スイッチのON動作では上の金属に電流を流し，熱を加える．(b)のように電極は全体的に下に下がり，下と接触していることが確認できた．

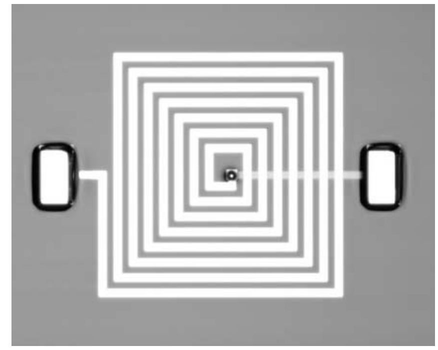


写真1　スパイラル・インダクタ

MEMSファウンドリの富士電機システムズで試作した．

変抵抗を，ミラー容量やMOS容量を利用することで可変容量を実現できます[(2),(3)]．可変抵抗や可変容量は，回路性能を最適化したり，特性の調整が必要な回路（自動ゲイン制御アンプ，調整可能なフィルタや発振回路など）を実現する際に有用です．

しかし，シリコン・チップ上に可変インダクタを実現したという報告はほとんどありません．可変インダクタを実現できれば，さらに柔軟性の高いアナログ回路を実現できます．例えば，広い範囲の周波数を調整できる*LC*バンドパス・フィルタ[(4),(5)]や，低リプルでかつ応答速度の速いスイッチング・レギュレータ[(6)]を構成できます．これらはLSIテスタにとって理想的なデバイスと言えます．

筆者らは，まず，MEMS技術を用いて（特性が固定の）インダクタを実現することを考えました．MEMSプロセスで作製すると，高い*Q*値と大きなインダクタンス値を持つインダクタを実現できます．例えば，高い*Q*値を持つインダクタを作製できれば，*Q*値の高い周波数の*LC*フィルタや，発振回路のような高周波回路に応用できます．また，大きなインダクタンス値を持つインダクタを作製できれば，オンチップ・スイッチング・レギュレータのような電源回路に応用できます．これらはMEMS技術ならではの特徴です．

写真1は，MEMSファウンドリで試作したMEMS技術によるスパイラル・インダクタです．熱膨張スイッチと同じようにCoventorWareを使って設計しました．最近では，大学の研究室などでも，MEMSファウンドリ・サービスを利用することでMEMSデバイスを試作することができます．

スパイラル・インダクタの試作に成功したので，次に筆者らは可変インダクタを試作することを検討しています．例えばそれは**図9**のような構造です．この可変（相互）インダクタは二つのコイルを使用します．コイルを上下に動かすことでコイル間の距離を変化させて相互インダクタンスを変え，実効的なインクダンスを変化させるというものです．

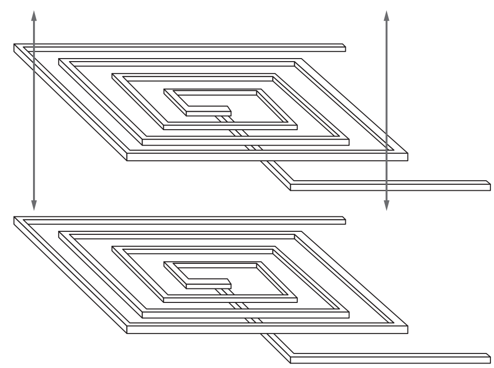


図9　可変インダクタのモデル（その1）

コイルを上下に配置し，MEMSアクチュエータによって縦方向に動かすことにより，相互インダクタンスを変化させる．コイル間の距離が離れるほど，相互インダクタンスは低くなることがシミュレーションにより確認できた．

図10(a)に，別の可変インダクタのモデルを示します．こちらはコイルを水平に動かすことにより，二つのコイルの間の位相を変化させ，相互インダクタンスを変化させます．ループ状にコイルを巻き，このコイルに電流を流すことにより，図中に示す方向に磁界が発生します．磁束線の方向に注目してください．相互インダクタンスは，コイルを貫く磁束線の本数に相当します．つまり，コイルを水平に動かすことで，貫く磁束線の本数を増減させ，相互インダクタンスの値を変化させることができるのです．

図10(b)は相互インダクタンスが最大となるとき，**図10(c)**は相互インダクタンスが最小となるときの二つのコイルの関係を示した図です．**図10(b)**のように上のコイルと下のコイルの下（または上）向きの磁束線が重なり合ったとき，磁束線は互いに強調し合います（つまり，二つのコイ

ルを貫く磁束線がもっとも多くなる）．このとき，相互インダクタンスは最大となります．一方，**図10（c）**のように上（または下）向きの磁束線と下（または上）向きの磁束線が重なり合ったとき，磁束線は互いに打ち消し合います（つまり，二つのコイルを貫く磁束線はもっとも少なくなる）．このとき，相互インダクタンス値は最小となります．

3 ADC用テスト評価アルゴリズムの開発

LSIテストでは，ハードウェア（LSIテスタ）だけでなく，測定アルゴリズムも重要です．そこで筆者らは，通信用A-Dコンバータの相互変調ひずみ（IMD：intermodulation distortion）評価アルゴリズムも開発しました[9]．

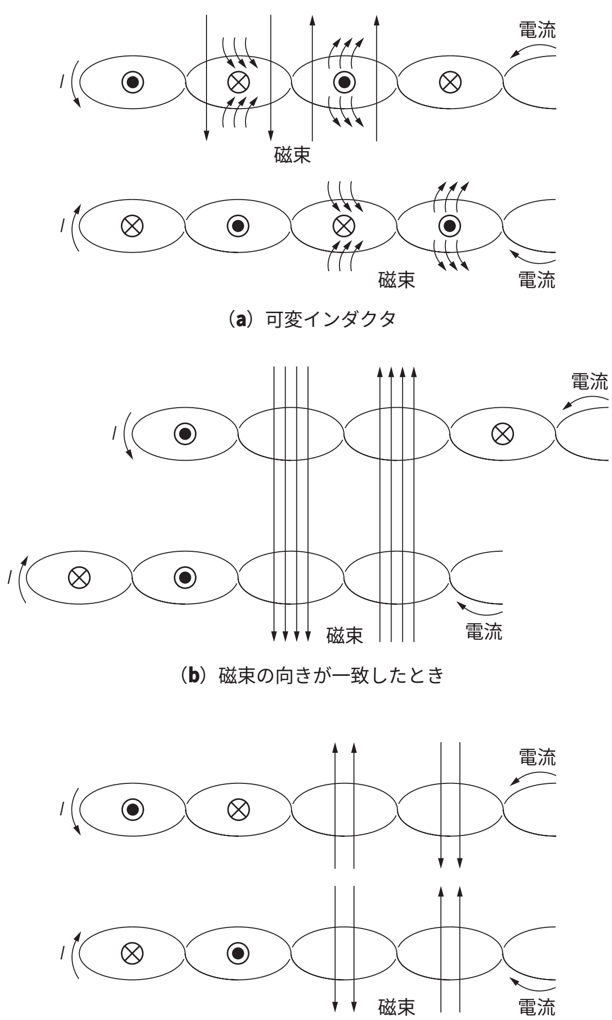


図10　可変インダクタのモデル（その2）

（a）のように，コイルを上下に配置する．MEMSアクチュエータによって水平に動かすことにより，相互インダクタンス値を変化させる．磁束の向きが互いに一致したとき，（b）のように磁束は強調し合い，相互インダクタンスは最大となる．磁束の向きが互いに反対になったとき，（c）のように磁束は打ち消し合い，相互インダクタンスは最小となる．

● 通信用ADCのマルチトーン・テストを実現へ

携帯電話の市場が拡大するにつれて，その受信部で用いられるA-Dコンバータのテスト評価が重要になってきています．そこでは相互変調ひずみやノイズ・パワー比（noise power ratio）のような周波数領域の性能が重要で，その性能評価にはマルチトーン・テスト法が用いられています．しかし，通信用A-Dコンバータのための相互変調ひずみ評価技術はまだ確立されていません．

問題の一つは，通信用A-Dコンバータに適用可能なマルチトーン信号を生成できる基準信号発生器がないことであり，もう一つは相互変調ひずみを評価する良いアルゴリズムがないことです．筆者らは後者の問題を解決するアルゴリズムの開発に取り組んでいます．

通信用A-Dコンバータのテスト評価のためのマルチトーン・テスト法では，複数の周波数の正弦波の和の入力信号

$$V_{in}(t)=\sum_{l=1}^{n}\left[A_l\cos(\omega_l t)+B_l\sin(\omega_l t)\right]+C \quad \cdots\cdots\cdots\cdots(1)$$

がA-Dコンバータに与えられます．例えば，ADSL（asymmetric digital subscriber line）アプリケーションでは$n=256$が用いられています．ここでは話を簡単にするため，下記のようにツー・トーン信号（$n=2$）の場合を考えます．

$$V_{in}(t)=A_1\cos(\omega_1 t)+B_1\sin(\omega_1 t)+A_2\cos(\omega_2 t)+B_2\sin(\omega_2 t)+C \quad \cdots\cdots\cdots\cdots(2)$$

A-Dコンバータが非線形性を持っているとき，出力はω_1，ω_2の信号成分だけでなく，$p\omega_1+q\omega_2$（p，$q=0$，±1，±2，$\pm3\cdots$）の角周波数成分を持ち，これが相互変調ひずみになります．この式の中で，$2\omega_1-\omega_2$，$2\omega_2-\omega_1$の3次相互変調ひずみ成分の評価はとくに重要です．なぜなら，$\omega_1\approx\omega_2$のとき，$2\omega_1-\omega_2$，$2\omega_2-\omega_1$のスペクトラムは信号成分ω_1，ω_2に比較的近いところ（すなわち信号帯域）に現れるからです（**図11**）．

相互変調ひずみの評価の問題を解決するため，筆者らはシングル・トーン・カーブ・フィッティング・アルゴリズム（**図12**）を拡張したツー・トーン（マルチトーン）カーブ・フィッティング・アルゴリズムを開発し，2通りのアルゴリズムを提案しています．

一つ目のアルゴリズムは，コヒーレント・サンプリングA-Dコンバータ・テスト（**図13(a)**）に用いることを想定し，入力角周波数とサンプリング角周波数の比ω_1/ω_s，ω_2/ω_sが既知の場合のものです．二つ目はインコヒーレント・サンプリングA-Dコンバータ・テスト（**図13(b)**）に用いることを想定し，正確な比率が未知（ただし，およその値はわかっているものとする）の場合のものです．後者のアルゴリズムでは入力角周波数とサンプリング角周波数の比も正確に推定することができます．

それぞれのアルゴリズムに窓関数は不要なので，FFT（fast Fourier transform；高速フーリエ変換）法より高精度に相互変調ひずみを評価することができます．筆者らは数値シミュレーションを行ってこれらのアルゴリズムの有効性を評価し，従来のシングル・トーン・カーブ・フィット・アルゴリズムを繰り返し用いるときよりも高精度の結果が得られることを確認しました．なお，本アルゴリズムの詳細については参考文献(9)を参照してください．

＊　＊　＊

LSIテスタにおける高速測定の問題は，測定装置そのものよりも相互接続（配線やコネクタなど）に かかわるものが多いようです．この分野の技術は体系化しにくく，デバイス技術などと比べて発展の速度も速いとは言えません．しかし，測定の良否を直接決める重要な要素であり，地道な努力を重ねる必要があります．

DUTの回路が大規模化，高周波化するにつれて，それをテストするためには，例えばアナログBISTのようにDUT側に適切なテスト回路を搭載し，DUTとLSIテスタを協調動作させる必要があります．また，テスト容易化のための回路を一種のIP（intellectual property）コアとして流通させることも必要かもしれません．

LSIテスタの性能向上のかぎとなる技術の一つはアナログ技術ですが，ディジタル技術の利点を認識し，それを積極的に利用しながらアナログを含んだシステム全体の性能向上を図る技術がより重要になってきています．ディジタル技術は，半導体の微細化に伴ってより高速・低消費電力・低コストになり，複雑なアルゴリズムを実現しやすくなっています．「最近のディジタル回路は，アナログ信号としてのふるまいを考慮していなければきちんと動作させることが難しい」とよく言われますが，同時に「アナログ回路の性能を十分に引き出すためには，ディジタル回路をうまく利用する」といった発想も必要です．筆者らはこうした考えに基づいて，マルチビットΔ-Σ方式A-Dコンバータや直接ディジタル信号発生回路（direct digital

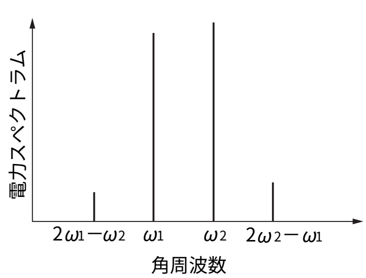


図11　典型的なツー・トーン信号によるA-Dコンバータ出力の電力スペクトラム
信号成分はω_1，ω_2に位置し，$p\omega_1+q\omega_2$（p，q＝0，±1，±2，±3…）には相互変調ひずみが現れている．

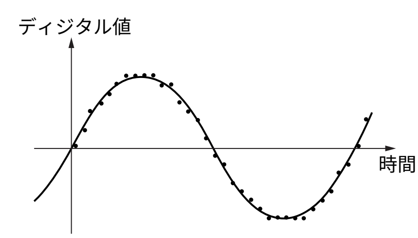


図12　シングル・トーン・カーブ・フィッティング・アルゴリズムの原理
点は正弦（sin）波入力に対するA-Dコンバータ出力を表し，実線はsinカーブ・フィッティング・アルゴリズムによって復元されたsin波を示している．A-Dコンバータ出力から復元された正弦波を減算して得られた残差から，ノイズと相互変調ひずみの成分が求められる．

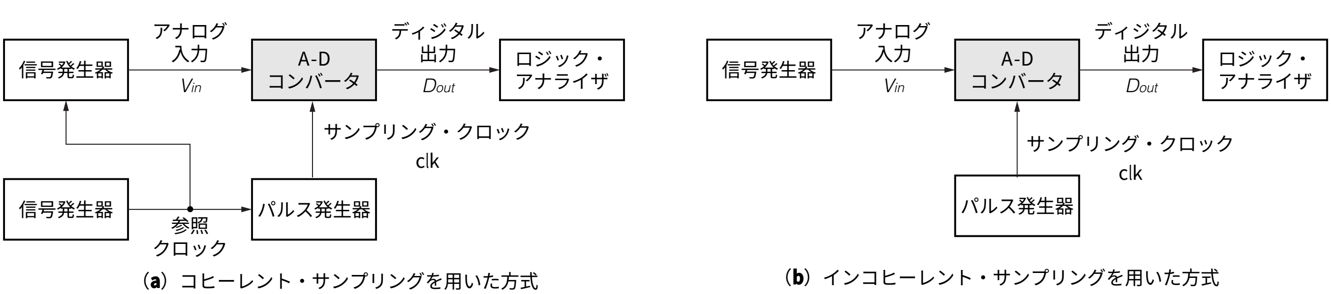


図13　A-Dコンバータのテスト・システム
(a)では，アナログ入力用の信号発生器とサンプリング・クロック用のパルス発生器について，同じ参照クロックで同期がとれている．(b)では，アナログ入力用の信号発生器とサンプリング・クロック用のパルス発生器が同期をとれていない．

synthesizer)などについて，信号処理技術を用いて性能向上を図る技術を開発しています(10)〜(12)．

LSIテスタ技術については，大学などで体系的に教えているところはほとんどなく，また，技術解説文献も多いとは言えません注3．この分野の技術者は，会社の中で徒弟制度的に先輩エンジニアから技術を学んでいるのが現状のようです．本解説記事が，こうした状況を改善する一助となれば幸いです．

参考・引用*文献

(1) M. L. Bushnell and V. D. Agrawal ; *Essentials of Electronic Testing for Digital, Memory and Mixed-Signal VLSI Circuits*, Kluwer Academic Publishers, 2000.
(2) S. D. Senturia, *MicroSystem Design*, Kluwer Academic Publishers, 2001.
(3) V. K. Varadan, K. J. Vinoy and K. A. Jose ; *RF MEMS and Their Applications*, John Wiley & Sons, 2003.
(4) G. M. Rebeiz ; *RF MEMS : Theory, Design and Technology*, John Wiley & Sons, 2003.
(5) H. J. De Los Santos ; *RF MEMS Circuit Design for Wireless Communications*, Artech House, 2002.
(6) M. H. Rushid (editor-in-chief) ; *Power Electronics Handbook*, Academic Press, 2001.
(7) M. Kono, T. Komuro, H. Kobayashi, K. Kimura, H. Sakayori and Y. Yasuda ; " MEMS Design for LSI Tester Applications ", *2004 IEEJ International Analog VLSI Workshop* (Macao S.A.R., China), pp.293-296, Oct. 2004.
(8) 光野正志，木村圭吾，小室貴紀，小林春夫，酒寄寛，安田祐造；MEMS技術を用いた可変インダクタの設計，電子情報通信学会 第18回 回路とシステム(軽井沢)ワークショップ，pp.413-418，2005年4月.
(9) 本木義人，菅原秀武，小林春夫，小室貴紀，酒寄寛；通信用A-Dコンバータテスト評価のためのマルチトーン・カーブ・フィッティング・アルゴリズム，電子情報通信学会和文誌C，vol.J86-C，no.2，pp.186-196，2003年2月.
(10) H. Kobayashi, H. Yagi, T. Komuro and H. Sakayori ; " Algorithms for Digital Correction of ADC Nonlinearity ", *IEICE Trans. on Fundamentals*, vol.E86-A, no.2, pp.504-508, Feb. 2003.
(11) J. Otsuki, H. San, H. Kobayashi, T. Komuro, Y. Yamada and A. Liu ; " Reducing Spurious Output of Balanced Modulators by Dynamic Matching of I, Q Quadrature Paths ", *IEICE Trans. on Electronics*, vol. E88-C, no. 6, June 2005.
(12) H. San, H. Kobayashi, S. Kawakami and N. Kuroiwa ; " A Noise-Shaping Algorithm of Multi-bit DAC Nonlinearities in Complex Bandpass ΔΣ AD Modulators ", *IEICE Trans. on Fundamentals of Electronics, Communications and Computer Sciences*, vol.E87-A, no.4, pp.792-800, April 2004.
(13) 吉田正昭；テスト容易化設計 LSI設計編(Bコース)第9章，半導体理工学研究センター，2004.
(14) 早坂直人，小林春夫，小室貴紀，酒寄寛；高周波アナログLSIのテスト容易化回路，電子情報通信学会 回路とシステム(軽井沢)ワークショップ，pp.63-68，2004年4月.
(15) T. Komuro, N. Hayasaka, H. Kobayashi and H. Sakayori ; "A Practical BIST Circuit for Analog Portion in Deep Sub-Micron CMOS System LSI ", *International Symposium on Circuits and Systems*, Kobe, June 2005.
(16) 小室貴紀，曽布川慎吾，小林春夫，酒寄寛；Total Harmonic Distortion Measurement System for Electronic Devices up to 100MHz with Remarkable Sensitivity，電気学会 電子回路研究会，ECT-05-47，仙台(2005年6月).
(17) 小林春夫，光野正志；ディジタル時代のアナログ技術，機械の研究，vol.56，no.11，pp.1117-1123，養賢堂，2004年.
(18) N. Kurosawa, H. Kobayashi, H. Kogure, T. Komuro and H. Sakayori ;" Sampling Clock Jitter Effects in Digital-to-Analog Converters ", *Measurement*, vol.31, no.3, pp.187-199, March 2002.

注3：LSIテストに関係する国際学会としては，International Test Conference(ITC)，IEEE VLSI Test Symposium(VTS)，IEEE Asian Test Symposium(ATS)，IEEE European Test Symposium(ATS)などがある．これらの予稿集から学会レベルの最新情報が得られる．

こむろ・たかのり，さかより・ひろし
アジレント・テクノロジー・インターナショナル(株)
SOCテスト事業部 製品開発部

こばやし・はるお，こうの・まさし
群馬大学工学部 電気電子工学科

<筆者プロフィール>

小室貴紀．転職を繰り返し，1997年から現職．一応アナログ回路の専門家に分類されているが，なんにでも首を突っ込みたがる雑学好き．子どものころは「落ち着きがない」と言われていたが，最近では「計測は雑学だ」と開き直っている．

小林春夫．群馬大学工学部 電気電子工学科教授．デバイスとシステムを結ぶ分野の学問的確立を目指す．緑豊かな桐生にて「アナログ立国」を標榜し，アナログチップデザイン，アナログ技術ネットワークの末席にも名を連ねる．行動指針は「着眼大局 着手小局」．

酒寄 寛．生来の分解魔．小学生のころ，ふとしたはずみでエレクトロニクスに興味を抱きました．以来，この分野の驚異的な発展の中でしごとをし，刺激的な体験もさせてもらいました．今，この産業も成熟期に入り，今後どのように推移するのか興味津々です．

光野正志．1979年，埼玉県生まれ．群馬大学大学院 博士課程在学中．小林春夫教授の指導のもと，スイッチング電源，EMC関連技術，MEMS技術，アナログ・ディジタル混載集積回路設計と，バラエティに富んだ研究を行っている．尊敬する人は坂本竜馬と小林春夫先生．「小林DNA」を受け継ぐ者だ，と勝手に思い込んでいる．